

شبیه سازی و بهینه سازی مشخصه های الکتریکی ترانزیستور

تونلی دولایه الکترون - حفره در ابعاد نانو

علی مسعودی^{۱،۲}، زهرا آهنگری^{۱،۲}، مرتضی فتحی پور^۳

۱ گروه الکترونیک، دانشکده مهندسی برق، دانشگاه آزاد اسلامی واحد یادگار امام خمینی (ره) شهرری، تهران، ایران.

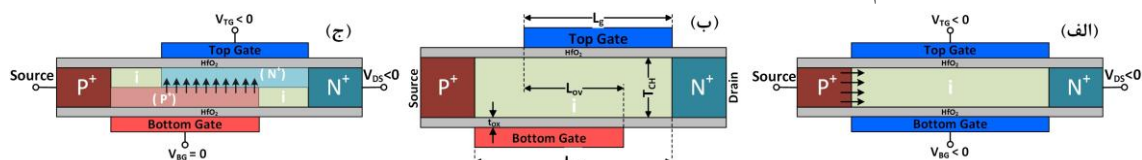
۲ باشگاه پژوهشگران جوان و نخبگان، دانشگاه آزاد اسلامی واحد یادگار امام خمینی (ره) شهرری، تهران، ایران.

۳ دانشکده برق و کامپیوتر، پردیس فنی، دانشگاه تهران، تهران، ایران.

چکیده

در این مقاله مشخصه های الکتریکی ترانزیستور تونلی دولایه الکترون-حفره، به عنوان یک ساختار جایگزین ترانزیستور تونلی متداول مورد بررسی قرار گرفته است. در این افزاره، تونل زنی عمودی در راستای ضخامت کانال و در تمام طول گیت افزاره رخ داده که این امر موجب افزایش مساحت ناحیه تونل زنی گردیده و جریان حالت روشن بهبود می یابد. پیوند P^+-N^+ در این افزاره به صورت الکتریکی و در ناحیه کانال ذاتی ایجاد می گردد. از ویژگی های این افزاره حساسیت بسیار پایین جریان حالت خاموش به تغییرات طول کانال است که این امر کوچک سازی افزاره را در ابعاد نانو تسهیل می کند.

در حال حاضر تکنولوژی به سمت کاهش ابعاد افزاره ترانزیستور اثر میدان فلز-اکسید-نیمه هادی (MOSFET) پیش می رود. به منظور دستیابی به سرعت بالا و کاهش توان مصرفی در افزاره MOSFET لازم است تا ساز و کار جریان، که بر مبنای تغییر ارتفاع سد حرارتی در فصل مشترک سورس با کانال می باشد، تغییر یابد [۱-۲]. با توجه به ساز و کار متفاوت جریان در ترانزیستورهای تونلی که بر مبنای تونل زنی نوار به نوار می باشد، سوئینگ زیرآستانه که به معنی میزان تغییر ولتاژ گیت به منظور کاهش ده برابری جریان درین تعریف می گردد، به کمتر از 60 mV/dec می رسد. در ترانزیستور تونلی متداول، تونل زنی به صورت افقی و از سورس به کانال می باشد (شکل ۱-الف) [۳-۴]. لیکن در ترانزیستورهای تونلی دولایه الکترون-حفره، تونل زنی به صورت عمودی در راستای ضخامت کانال و در تمام ناحیه همپوشانی دو گیت طول کانال رخ می دهد (شکل های ۱-ب و ۱-ج). شبیه سازی عددی توسط نرم افزار ATLAS که زیرمجموعه نرم افزار Silvano می باشد صورت گرفته است [۶].

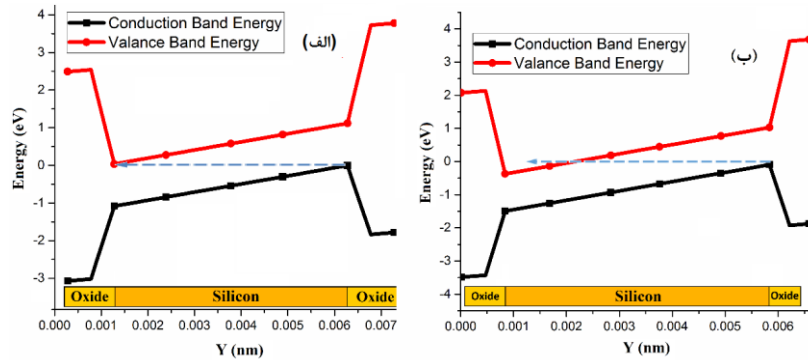


شکل ۱: الف) ترانزیستور اثر میدان تونلی متداول نوع N ب) ترانزیستور اثر میدان تونلی دولایه الکترون-حفره نوع N در حالت

خاموش ج) ترانزیستور اثر میدان تونلی دولایه الکترون-حفره نوع N در حالت روشن

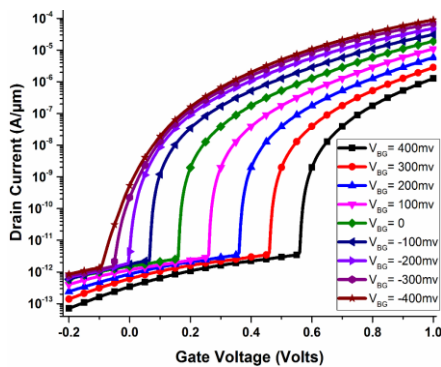
برای ایجاد ناحیه ی تونل زنی در راستای عمودی کانال لازم است ناحیه ی P^+N^+ در کانال ایجاد گردد. تابع کار گیت بالا و گیت پایین نقش مهمی در توزیع حامل ها در کانال افزاره دارد. به دلیل اختلاف تابع کار گیت پایین و کانال ذاتی، تراکم حفره ها در نزدیکی گیت پایین افزایش می یابد. همچنین اعمال ولتاژ منفی $0.1V$ - به گیت پایین انباشته شدن حفره ها را تقویت نموده و بخشی از ضخامت ناحیه کانال در نزدیکی گیت پایین به صورت الکتریکی و نه به صورت آلایش ناخالصی تبدیل به ناحیه P^+ می گردد. با اعمال ولتاژ گیت مثبت به گیت بالا تراکم الکترون ها در سطح کانال افزایش یافته و این ناحیه نیز به صورت الکتریکی تبدیل به ناحیه N^+ می گردد. شکل ۲-الف ساختار نوار انرژی افزاره را در حالت خاموش در راستای عمودی کانال و به ازای $(V_{TG}=0V, V_{BG}=-0.1V, V_{DS}=1V)$ نشان می دهد. در حالت خاموش، عرض ناحیه تخلیه شده زیاد است و احتمال تونل زنی نوار به نوار در راستای عمودی کانال کاهش می یابد. در شکل ۲-ب نمودار نوار هدایت و ظرفیت ترانزیستور تونلی دولایه الکترون-حفره در حالت روشن و به

ازای $V_{TG}=0,5V$ ، $V_{BG}=-0,1V$ و $V_{DS}=1V$ نشان داده شده است. با افزایش ولتاژ گیت بالای مثبت، عرض ناحیه تخلیه شده در فصل مشترک نواحی N^+ و P^+ ایجاد شده در راستای کانال کاهش یافته و تونل زنی نوار به نوار در راستای عمودی کانال رخ می دهد. از آنجا که سورس دارای آلایش P^+ است، حامل ها از سورس به ناحیه P^+ ایجاد شده در گیت پایین نفوذ کرده و سپس حامل ها از طریق ساز و کار تونل زنی نوار به نوار از ناحیه P^+ به ناحیه N^+ در راستای عمودی کانال تونل می زنند.

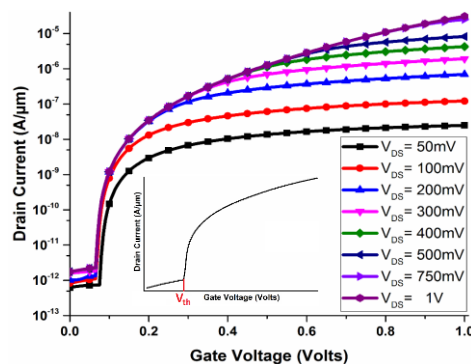


شکل ۲: الگوی نوار انرژی ترانزیستور تونلی دولایه الکترون حفره (الف) در حالت خاموش (ب) در حالت روشن

در شکل ۳ مشخصه انتقالی (I_D-V_G) شبیه سازی شده با ولتاژهای درین مختلف در زمانی که $V_G = V_{TG}$ می باشد نشان داده شده است. جریان نشتی (I_{OFF}) در $V_D = 1V$ مقدار $1,58 \text{ pA}/\mu\text{m}$ به دست آمده است که نشان می دهد توان مصرفی در افزاره تونلی دولایه الکترون-حفره پایین می باشد. جریان حالت روشن (I_{ON}) مقدار $0,309 \text{ }\mu\text{A}/\mu\text{m}$ به دست آمده است و سوئینگ زیر آستانه نیز $5,6 \text{ mV}/\text{dec}$ محاسبه گردیده است. همانگونه که مشاهده می گردد، جریان حالت خاموش افزاره با افزایش ولتاژ درین تغییر محسوسی ندارد که این امر نشان می دهد که پدیده تونل زنی در سورس القا شده از درین تأثیر بسیار کمی بر عملکرد افزاره دارد. در شکل ۴ تأثیر ولتاژ گیت پایین بر مشخصات الکتریکی افزاره تونلی دولایه بررسی شده است. با اعمال بایاس مثبت به گیت پایین تراکم حفره ها را در لایه پایین کانال کاهش می دهد، ولتاژ آستانه به سمت مقدار مثبت ولتاژ گیت سوق داده شده و جریان حالت روشن نیز کاهش می یابد. علاوه بر این، بایاس منفی لایه حفره را به سمت میانه ی کانال سیلیسیم سوق داده و تونل زنی افزایش در نتیجه جریان حالت روشن افزایش می یابد.



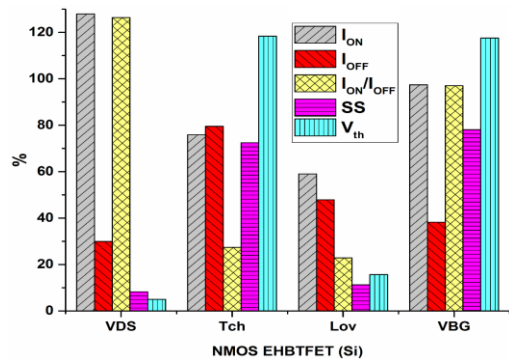
شکل ۴: اثر تغییرات ولتاژ گیت پایین بر مشخصه انتقالی ترانزیستور تونلی دولایه الکترون-حفره از نوع سیلیسیم



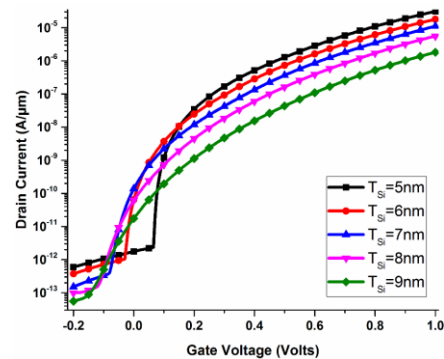
شکل ۵: منحنی مشخصه I_D-V_{GS} ترانزیستور تونلی الکترون -حفره از نوع سیلیسیم ازای تغییرات ولتاژ درین. شکل میانی نحوه محاسبه ولتاژ آستانه

در شکل ۵ اثر ضخامت کانال بر مشخصه الکتریکی ترانزیستور تونلی دولایه الکترون-حفره نشان داده شده است. در حقیقت با افزایش ضخامت کانال افزاره تونلی دولایه، تابع کار گیت بالا و گیت پایین برای ایجاد نواحی N^+ و P^+ به همه نقاط کانال دسترسی ندارند که موجب افزایش عرض ناحیه تخلیه شده می شود و I_{OFF} کاهش می یابد. همچنین با کاهش ضخامت کانال، کنترل گیت بر کانال افزایش یافته و جریان حالت روشن افزایش می یابد. علاوه

براین با کاهش ضخامت کانال این افزاره، به دلیل افزایش میدان الکتریکی در کانال و باریک شدن سد تونل زنی القاء شده از گیت، شیب زیر آستانه کاهش یافته است. در شکل ۶ میزان تغییرات جریان حالت روشن، جریان حالت خاموش، نسبت جریان حالت روشن به جریان حالت خاموش، سوئینگ زیر آستانه و ولتاژ آستانه به ازای تغییرات پارامترهای ساختاری و فیزیکی افزاره تونلی دولایه الکترون-حفره NMOS با کانال سیلیسیم مورد بررسی قرار گرفته است تا میزان حساسیت موارد ذکر شده به پارامترهای مختلف تبیین گردد. در ابتدا میانگین و انحراف معیار جریان حالت روشن، جریان حالت خاموش، نسبت جریان حالت روشن به جریان حالت خاموش، سوئینگ زیر آستانه و ولتاژ گذردهی به ازای تغییرات پارامترهای مختلف به دست آمده است. در نهایت درصد نسبت انحراف معیار به میانگین محاسبه گردیده تا میزان حساسیت مشخصه های الکتریکی به پارامترهای ساختاری و فیزیکی مشخص شود. براساس نتایج به دست آمده جریان حالت خاموش، سوئینگ زیر آستانه و ولتاژ آستانه کمترین حساسیت را به تغییرات ناحیه همپوشانی و ولتاژ درین دارد، که نشان می دهد که پدیده تونل زنی در سورس القاء شده از درین تأثیر بسیار کمی بر عملکرد افزاره دارد. همچنین تغییرات ضخامت کانال بیشترین تغییرات را بر روی جریان حالت روشن، جریان حالت خاموش و ولتاژ آستانه در این افزاره را دارد. در این بررسی مشاهده می شود تغییرات ولتاژ گیت پایین تأثیر کمی بر روی جریان حالت خاموش دارد. همچنین به دلیل وابسته بودن تراکم ناحیه پایین کانال به ولتاژ گیت پایین و تعیین نرخ تونل زنی، بیشترین تأثیر را بر روی جریان حالت روشن دارد.



شکل ۶: حساسیت پارامترهای الکتریکی به تغییر پارامترهای ساختاری و فیزیکی افزاره تونلی دولایه الکترون-حفره با کانال سیلیسیم



شکل ۵: منحنی مشخصه انتقالی ترانزیستور تونلی دولایه الکترون-حفره از نوع سیلیسیم به ازای تغییرات ضخامت کانال

نتیجه گیری

در این مقاله مشخصه های الکتریکی ترانزیستور اثر میدان تونلی دولایه الکترون-حفره سیلیسیم کانال N مورد مطالعه و شبیه سازی قرار گرفت. برخلاف افزاره تونلی متداول، تونل زنی نوار به نوار در این افزاره در راستای عمودی کانال صورت می گیرد. به دلیل تغییرات بسیار کم جریان خاموش نسبت به تغییرات ولتاژ درین و تغییرات طول ناحیه همپوشانی، این افزاره گزینه مناسبی برای کاربرد در ابعاد نانو می باشد.

مرجع ها

1. Wu, Jianzhi, Jie Min, and Yuan Taur. "Short-channel effects in tunnel FETs." *IEEE Transactions on Electron Devices* **62.9** (2015): 3019-3024.
2. Hung, Kwok K., et al. "A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors." *IEEE Transactions on Electron Devices* **37.3** (1990): 654-665.
3. Boucart, K. and A.M. Ionescu, Double-Gate Tunnel FET With High- κ Gate Dielectric. *IEEE Transactions on Electron Devices*, 2007 **54(7)**: p. 1733-1725.
4. Damrongplisit, N., et al., Study of random dopant fluctuation effects in germanium-source tunnel FETs. *IEEE Transactions on Electron Devices*, 2011 **58 (10)**: p. 3541-3548.
5. Lattanzio, L., L. De Michielis, and A.M. Ionescu. Electron-hole bilayer tunnel FET for steep subthreshold swing and improved ON current. in Solid-State Device Research Conference (ESSDERC), 2011 Proceedings of the European 2011 IEEE.
6. *ATLAS User Manual 2010* (Santa Clara, USA: Silvaco International)